

Formation z/OS : Hardware Configuration and Definition (HCD)

Objectifs de la formation z/OS Hardware Configuration and Definition

Ce cours de 4 jours est conçu pour montrer aux participants comment utiliser Hardware Configuration Definition (HCD) de z/OS pour créer une configuration d'entrée-sortie et la modifier de façon dynamique.

Ce contenu est lié à l'ERC 10.0.

A l'issue de ce cours, vous serez capable de :

- Décrire la nouvelle technologie de processeurs zSeries
- Coder les nouveaux processeurs zSeries (z196 à z13)
- Coder les canaux FICON et le canal à canal FICON
- Coder l'unité de couplage et les liaisons connexes
- Coder les routeurs en cascade FICON
- Créer un fichier de travail de définition des entrées-sorties (IODF) à partir de zéro
- Utiliser un outil de mappage de code d'utilisation de voie logique pour créer un fichier de travail de définition des entrées-sorties validé
- Élaborer un fichier de production de définition des entrées-sorties (IODF) à l'aide d'un fichier de travail de définition des entrées-sorties
- Apporter des modifications d'entrées-sorties dynamiques à un véritable système z/OS
- Élaborer un membre LOADxx parmlib pour procéder au chargement initial (PCI)
- Afficher la configuration sous forme graphique
- Créer des rapports de configuration pertinents

À qui s'adresse cette formation ?

Public :

Ce cours de niveau intermédiaire s'adresse aux personnes chargées de la maintenance de la configuration d'entrée-sortie contenue dans les fichiers de données d'entrée/sortie et les ensembles de données de configuration d'entrée-sortie à leur installation z/OS

Prérequis :

Posséder une connaissance de base de z/OS et de la configuration des entrées-sorties. Ces connaissances peuvent être acquises au cours de la formation ES10G : Compétences fondamentales sur les systèmes IBM z/OS.

Contenu du cours z/OS Hardware Configuration and Definition

Introduction HCD

ioop et mvscp macro examen

Dialogue HCD

lpar et les concepts de contrôle logique d'unité

osa, osa / cpi et hipersockets

Examen du matériel zseries

Architecture i/o zseries : sous-systèmes de canaux logiques

Concepts avancés dasd: eav / pav et plusieurs jeux de sous-canal

Mise en œuvre et migration HCD

Membres ipl et loadxx membre

I/O reconfiguration dynamique

z196 HCD et utilisation de cmt

ficon ctes pour sysplex

HCD et parallel sysplex